

Family list

2 family members for:

JP3250632

Derived from 2 applications.

1 MIS TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication info: JP3250632 A - 1991-11-08

2 Self-aligned method of fabricating an LDD MOSFET device

Publication info: US5254490 A - 1993-10-19

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAP10
(c) 2005 JPO & JAP10. All rts. reserv.

03587732 **Image available**

MIS TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 03-250632 [JP 3250632 A]

PUBLISHED: November 08, 1991 (19911108)

INVENTOR(s): KONDO TOSHIHIKO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 02-265895 [JP 90265895]

FILED: October 02, 1990 (19901002)

INTL CLASS: [5] H01L-021/336; H01L-021/3205; H01L-029/62; H01L-029/784

JAP10 CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAP10 KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1162, Vol. 16, No. 45, Pg. 116, February 05, 1992 (19920205)

ABSTRACT

PURPOSE: To relax a concentration of an electric field at the end of a drain and prevent a phenomenon of hot carriers being implanted by forming an inverse T-shaped gate structure using metallic layers of high melting point being formed on the surface of the gate electrode and on the insulating film of the side face thereof.

CONSTITUTION: A gate oxide film 3 is formed newly in the region surrounded with a LOCOS oxide film 2 which is formed on the surface of a p-type silicon substrate 1. Then, a polysilicon is deposited on the gate insulating film 3, and a gate insulating electrode 4 is formed. By introducing (P) into the surface side part of the substrate 1 through the method of implanting ions using the gate electrode 4 as a mask, n⁺-type regions 5a, 6a of low concentration are formed. A Ti layer 11 is stuck on the whole face of the surface side of the silicon substrate 1 by sputtering. Thereafter, the silicon substrate 1 is subjected to a heat treatment in the atmosphere

of nitrogen. Thereafter, an oxide film 12 is deposited by a thermal CVD method. By etching the oxide film 12 through a RIE method and removing the resultant, a sidewall insulating film 12a is formed on the side face of the gate electrode 4. A nitriding layer 21, which is generated together with the oxide film 12, is removed using an etching gas including (F) in a single process. As ions are implanted into the surface side part of the silicon substrate 1, and n^(sup +)-type source region 5 and a drain region 6 are formed.

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平3-250632

⑬ Int.Cl.⁵

H 01 L 21/336
21/3205
29/62
29/784

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月8日

G 7738-5F

8422-5F H 01 L 29/78
6810-5F 21/88 301 L
A

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 MIS型半導体装置及びその製造方法

⑯ 特願 平2-265895

⑰ 出願 平2(1990)10月2日

優先権主張 ⑯ 平2(1990)1月11日 ⑯ 日本(JP) ⑯ 特願 平2-4188

⑯ 平2(1990)1月11日 ⑯ 日本(JP) ⑯ 特願 平2-4190

⑰ 発明者 近藤俊彦 長野県飯田市大和3丁目3番5号 セイコーエプソン株式会社内

⑰ 出願人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号

⑰ 代理人 弁理士 山田 稔

明細書

1. 発明の名称

MIS型半導体装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板の表面上に形成された絶縁膜と、該絶縁膜上の所定領域内に導電性シリコン層からなるゲート電極と、該ゲート電極の端部下外側における半導体基板の表面側に形成されたソース領域及びドレイン領域と、を有し、該ソース領域及び該ドレイン領域に接して前記ゲート電極側に形成され前記ソース領域及び前記ドレイン領域よりも低キャリア濃度の低濃度領域を備えたMIS型半導体装置において、

前記ゲート電極の表面上及び前記低濃度領域の上方における前記絶縁膜上に高融点金属層が形成されており、該高融点金属層のうち前記ゲート電極に接する部分がシリサイド層となっていることを特徴とするMIS型半導体装置。

(2) 請求項第1項に記載のMIS型半導体装置において、前記高融点金属層のうち前記絶縁膜上

に形成されている部分が窒化層となっていることを特徴とするMIS型半導体装置。

(3) 半導体基板上に絶縁膜を形成し、該絶縁膜の部分上に導電性シリコン層からなるゲート電極を形成する工程と、次に、該ゲート電極をマスクとして前記半導体基板の表面側に低濃度領域を形成する工程と、更に、前記ゲート電極の表面上及び前記絶縁膜上に高融点金属層を形成する工程と、その後に、該高融点金属層のうち前記ゲート電極に接する部分をシリサイド層とする熱処理工程と、かかる後に、前記ゲート電極の表面上の部分及び前記ゲート電極の側面上に所定の厚さを有する側壁部分を残して、前記高融点金属層を除去する工程と、前記ゲート電極及び前記側壁部分をマスクとして前記半導体基板の表面側にソース領域及びドレイン領域を形成する工程と、を有することを特徴とするMIS型半導体装置の製造方法。

(4) 請求項第3項に記載のMIS型半導体装置の製造方法において、前記高融点金属層を形成する工程前に前記絶縁膜上に電極接触用開口部を形

成し、前記熱処理工程にて前記電極接触用開口部上の前記高融点金属層をもシリサイド層となし、その後、前記高融点金属層を除去する工程にて前記シリサイド層を選択的に残すことを特徴とするMIS型半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、MIS型半導体装置とその製造方法に関するもので、特に、LDD(Lightly Doped Drain)構造を有し、かつ、逆T字型のゲート構造(Reverse-T Gate Structure)を備えたMIS型半導体装置に関するものである。

(従来の技術)

従来、MOSトランジスタの微細化が進むに従って、短チャネル効果によるパンチスルーエフェクトとホットキャリア注入現象が顕在化し、特にホットキャリア注入現象においては、ドレイン端での電界集中により、ゲート電極端における基板と絶縁膜の界面上に、又は絶縁膜中に、ホットキャリアが集中的に捕獲され、この電荷の蓄積による電界

作用に基づいてMOSトランジスタの動作特性が変化するという問題点があった。

そこで、ドレイン端における電界集中を防止するため、LDD構造を形成する方法が提案された。このLDD構造は、第4図に示すように、ゲート電極4の両側に位置するシリコン基板1の表面側に形成されたソース領域5及びドレイン領域6のゲート電極4寄りに、よりキャリア濃度の低い低濃度領域5a及び6aを設けたものである。

このLDD構造を有するMOSトランジスタの製造方法は以下のようになっている。p型のシリコン基板1上にLOCOS酸化膜2を形成し、このLOCOS酸化膜2で囲まれた活性領域をゲート酸化膜3で被覆し、この上にポリシリコンを堆積してゲート電極4を形成する。次に、このゲート電極4をマスクとしてP(リン)をイオン注入してシリコン基板1の表面側に導入することにより、低濃度領域5a、6aを形成する。その後、ゲート電極4及びゲート絶縁膜3上に酸化膜を堆積してからこの酸化膜をエッチングすることにより、

ゲート電極4の側面に所定の厚さの酸化膜からなるサイドウォール絶縁膜7を残した状態とする。このサイドウォール絶縁膜7を備えたゲート電極4をマスクとして再びセルフアラインによりAs(砒素)をイオン注入し、ソース領域5及びドレイン領域6を形成する。なお、図中において、8は酸化膜、9はソース電極、10はドレイン電極である。

このLDD構造では、ゲート電極4個には低濃度領域5a、6aが形成されているので、空乏層の拡がりを抑えてソース領域5とドレイン領域6の間のパンチスルーエフェクトを防ぐことができるばかりでなく、ドレイン端の電界集中を緩和し、MOSトランジスタのホットキャリア注入現象による特性劣化を抑制することができる。

(発明が解決しようとする課題)

しかしながら、近年、半導体装置の高集成化の要請に基づいて、MOSトランジスタの更なる微細化が要求されて來ており、この結果、LDD構造を備えたMOSトランジスタにおいても、ドレ

イン端における電界が高まり、低濃度領域5a、6aの上方に位置するサイドウォール絶縁膜7中の電荷の注入現象が見られるようになった。したがって、通常構造のMOSトランジスタと同様に、注入電荷による電界効果に基づいて低濃度領域5a、6aに空乏層が形成され易くなり、低濃度領域5a、6aの抵抗が増大し、MOSトランジスタの電流駆動能力が低下するという問題点が生ずるようになった。

そこで、ゲート電極4を低濃度領域5a、6aの上方まで伸ばして形成し、逆T字型のゲート構造とする方法が提案された。このゲート構造によれば、低濃度領域5a、6aの表面にもゲート電位に基づく電界が印加されるので、低濃度領域5a、6a内における平面方向の電界強度が緩和され、ホットキャリアの注入を抑制することができる。

しかし、この方法では、逆T字型のゲート構造をエッチングにより形成するので、逆T字型の薄肉部分の厚さの制御が困難であり、この薄肉部分

を通して形成する低濃度領域5a、6aのキャリア濃度や深さの設定等が困難となることにより、MOSトランジスタに特性のばらつきが生ずるという問題点があった。

そこで、本発明は上記問題点を解決するものであり、その課題は、高融点金属層をゲート電極4の一部として用いることにより、パンチスルーやホットキャリアの注入を抑制しつつ、動作特性をも低下させないMOSトランジスタを実現し、かつ、そのMOSトランジスタの実用的な製造方法を提供することにある。

〔課題を解決するための手段〕

上記問題点を解決するために、半導体基板の表面上に形成された絶縁膜と、絶縁膜上の所定領域内に導電性シリコン層からなるゲート電極と、ゲート電極の端部下外側における半導体基板の表面側に形成されたソース領域及びドレイン領域と、を有し、ソース領域及びドレイン領域に接してゲート電極側に形成されソース領域及びドレイン領域よりも低キャリア濃度の低濃度領域を備えたM

I S型半導体装置において、本発明が講じた手段は、

ゲート電極の表面上、すなわち、矩形断面を有するゲートの場合には、上面及び側面上、及び低濃度領域の上方における絶縁膜上に、高融点金属層を設け、この高融点金属層のうち、ゲート電極に接する部分をシリサイド層とするものである。この場合、高融点金属層のうち、絶縁膜上に形成されている部分を窒化層とする場合もある。

また、上記のM I S型半導体装置の製造方法としては、半導体基板上に絶縁膜を形成し、絶縁膜の部分上に導電性シリコン層からなるゲート電極を形成する工程と、次に、ゲート電極をマスクとして半導体基板の表面側に低濃度領域を形成する工程と、更に、ゲート電極の表面上及び絶縁膜上に高融点金属層を形成する工程と、その後に、高融点金属層のうちゲート電極に接する部分をシリサイド層とする熱処理工程と、かかる後にゲート電極の表面上の部分及びゲート電極の側面上に所定の厚さを有する側壁部分を残して高融点金属層

を除去する工程と、ゲート電極及び側壁部をマスクとして、半導体基板の表面側にソース領域及びドレイン領域を形成する工程と、を有するものである。

また、この製造方法においては、高融点金属層を形成する工程前に絶縁膜上に電極接触用開口部を形成し、熱処理工程にて電極接触用開口部上の高融点金属層をもシリサイド層となし、その後、高融点金属層を除去する工程にてそのシリサイド層を選択的に残すものである。

〔作用〕

かかる手段によれば、ゲート電極には、その表面上に少なくとも接觸面上の部分がシリサイド層となった高融点金属層が形成されており、この高融点金属層は、ゲート電極に対して安定的に導電接觸しているとともに、絶縁膜上の高融点金属層と連続している。したがって、絶縁膜上の高融点金属層はゲート電位と同電位になるので、この高融点金属層に絶縁膜を介して対向する低濃度領域の表面側には、ゲート電位に基づく電界がチャネ

ル領域と同様に印加されることとなる。これは、絶縁膜上の高融点金属層が窒化層となっている場合でも、通常、窒化層の導電率は金属層よりも多少低下するもののポリシリコンよりは高く、充分な導電性を有しているので上記と同様に考えられる。この結果、ソース領域とドレイン領域間に高電圧が印加された場合でも、低濃度領域のチャネル方向の電位勾配が緩和されるので、低濃度領域の近傍における電界の集中を抑制し、ホットキャリアの注入による電荷蓄積を防止することができる。このようにして、電荷の蓄積による半導体装置の動作特性の変化を回避することができる。

この効果に付随して、高融点金属のシリサイド又は窒化物はポリシリコンよりも導電率が高いので、従来のポリシリコンからなる逆T字型のゲートよりも薄膜化できる利点がある。

また、高融点金属層は従来技術により厚さや寸法を高精度に形成することができるので、M I S構造の微細化にも対応性が高い。

ゲート電極の表面上に形成された高融点金属層

は、シリサイド化されることによりゲート電極に対して安定した導電接触が得られているが、この状態では、通常のポリサイド配線構造よりも接觸面積が大きく、したがって、ゲート配線を低抵抗とすることができ、MIS型半導体装置の動作の高速化を図ることができる。

また、本発明のMIS型半導体装置の製造方法によれば、ゲート電極及び絶縁膜上に高融点金属層を形成し、熱処理することによってその高融点金属層のうち少なくともゲート電極と接する部分をシリサイド化するので、ゲート電極と高融点金属層との間の接觸抵抗が低下し、また、その抵抗値が安定化する。更に、半導体基板の表面側に低濃度層とソース領域及びドレイン領域とからなるLDD構造を形成するに際し、ゲート電極の側面上に側壁部を残して高融点金属層を除去することになるが、この側壁部には高融点金属層が残されるので、低濃度領域の上方に絶縁膜を介して高融点金属層が対向することになる。

このようにして上記の本発明に係るMIS型半

導体装置が形成されるが、この製造方法では、低濃度領域を予め形成した後に高融点金属層を形成するので、低濃度領域を高融点金属層の膜厚に影響されずに精度よく形成することができ、また、高融点金属層の膜形成時の形状をそのまま利用することから、逆T字型のゲート構造を精度良く形成することができる。

絶縁膜に予め電極接触用開口部を設け、この絶縁膜上に高融点金属層を形成して熱処理する場合には、高融点金属層のうちゲート電極に接する部分とともに電極接触用開口部上に形成された部分もシリサイド層となる。この後、ゲート電極の側面上に側壁部を残して高融点金属層を除去することによって、ソース電極及びドレイン電極の接觸部に形成するコンタクト層又はバリア層として用いることができる。つまり、重複処理によって逆T字型のゲート構造の形成と同時並行して従来のシリサイド技術を活用することができるので、何ら新たな製造工程を導入する必要がない。

(実施例)

次に、添付図面を参照して本発明によるMIS型半導体装置の実施例を説明する。

(第1実施例)

第1図には、本発明のMIS型半導体装置の実施例として、LDD構造を備えたMOSFETの断面構造を示す。p型のシリコン基板1の表面上に形成されたLOCOS酸化膜2に囲まれた領域に、ゲート絶縁膜3を介してポリシリコンからなるゲート電極4が形成されており、このゲート電極4は、その上面及び側面をTi(チタン)のシリサイド層20で被覆されている。また、ゲート電極4の側面部には幅0.1~0.3μmのサイドウォール絶縁膜7が形成されており、サイドウォール絶縁膜7とゲート絶縁膜3の間には、前記シリサイド層20に連続してTiの窒化層21が形成されている。

一方、シリコン基板1の表面側には、ゲート電極4の端部下の外側にドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ 程度のn+型の低濃度領域5a、6aが形成されて

おり、サイドウォール絶縁膜7及び窒化層21の端部下の外側には、n+型のソース領域5及びドレイン領域6が、低濃度領域5a、6aと接する形で形成されている。なお、8は層間絶縁膜、9はソース電極、10はドレイン電極である。

ゲート電極4はシリサイド層20と接し、両者間に安定した導電接触が得られており、また、シリサイド層20と窒化層21とは連続して形成されているので、ゲート電極4、シリサイド層20及び窒化層21の電位は全てゲート電位と一致する。

低濃度領域5a及び6aは、ゲート電極4の端部下から外側に形成されており、ゲート絶縁膜3を介して窒化層21に対向するように配置されている。このため、従来のLDD構造のMOSFETとは異なり、低濃度領域5a及び6aの表面側全体がゲート絶縁膜3を介して均一なゲート電位の影響下にあり、ソースードレイン間の電位勾配が緩和され、電子の微細化に伴うドレイン端の電界集中を抑制する。したがって、ホットエレクト

ロン注入現象によるドレイン端近傍の電荷の蓄積を防止することができるので、MOSFETの特性、例えば、相互コンダクタンスの変化を来すことなく、動作特性の安定化及び素子の長寿命化を図ることができる。

従来、ゲート電極4の上面に高融点金属シリサイドを形成したポリサイド配線が用いられていたが、本実施例によるゲート構造は、そのポリサイド配線よりもゲート電極4とシリサイド層20との接触面積が大きく、ゲート配線の抵抗値を更に低減することができる。

上記のシリサイド層20は、ゲート電極4との間に安定した導電接觸を得るために形成されたものであり、少なくともゲート電極4との接觸面付近がシリサイド化されていればよい。また、T₁層11以外に他の高融点金属、例えばMo(モリブデン)等を用いることができる。

(第2実施例)

次に、上記第1実施例に示したMOSFETの製造方法の実施例を説明する。

の部分はゲート電極4からのシリコンの拡散によってシリサイド層20となるが、ゲート酸化膜3上のT₁層11は、シリコンの拡散が殆どない代わりに熱処理雰囲気中の窒素が取り込まれて、窒化層21となる。この後、酸化膜12を熱CVD法によって堆積し、これをRIE(Reactive Ion Etching)法によってエッティング除去し、第2図(d)に示すように、ゲート電極4の側面側にサイドウォール絶縁膜12aを形成する。このとき酸化膜12と共に窒化層21をもエッティング除去する必要があるが、F(弗素)を含有するエッティングガスを用いることにより、両者を单一工程にて除去することができる。このサイドウォール絶縁膜12aを備えたゲート電極4をマスクとしてセルフアラインにより、シリコン基板1の表面側にAs(砒素)をイオン注入し、n⁻型のソース領域5及びドレイン領域6を形成する。

このようにして、本実施例においては、逆T字型のゲート構造を実現するために、均一性及び膜厚の制御性の高いスパッタリング法又はCVD法

本実施例では、まず、第2図(a)に示すように、p型のシリコン基板1の表面上に選択酸化法によりLOCOS酸化膜2を形成し、このLOCOS酸化膜2に囲まれた領域に新たに厚さ100~500Å程度のゲート酸化膜3を形成する。次に、熱CVD法により、ゲート絶縁膜3上にポリシリコンを堆積し、ドライエッティングにて加工することにより厚さ4000~5000Åのゲート電極4を形成する。このゲート電極4をマスクとして、イオン注入法により、P(リン)をシリコン基板1の表面側に導入し、n⁻型の低濃度領域5a, 6aを形成する。

この状態で、第2図(b)に示すように、シリコン基板1の表面側全面にT₁層11を300~1000Åの厚さとなるようにスパッタリングによって被着する。その後、このシリコン基板1を加熱炉に入れ、窒素雰囲気で20~60分の間、600~800℃の温度で熱処理を行う。この熱処理工程においては、第2図(c)に示すように、ゲート電極4の上面及び側面に接するT₁層11

によって、ゲート電極4の表面上にT₁層11を形成しており、これを熱処理することにより、T₁層11がシリサイド化されて、ゲート電極4とT₁層11との導電接觸を安定化させ、接觸抵抗を低減させている。

従来のように逆T字型のポリシリコンゲートを形成した後にその薄肉部分を通して不純物導入する場合と要なり、本実施例では、逆T字型のゲート構造が低濃度領域5a, 6aの形成後になされることから、低濃度領域5a, 6aの不純物濃度や深さの制御が容易であり、素子間における特性的ばらつきを少なくさせることができる。ここで仮に、T₁層11又は窒化層21の形成後に低濃度領域の形成を行った場合でも、スパッタリング法等によるT₁層11の厚さは高精度に設定することができる。充分に低濃度領域5a, 6aの不純物濃度と深さの精度を出すことができる。

また、従来の逆T字型のポリシリコンゲートでは、逆T字型の構造を形成するためには、時間制御によるエッティング量の制御や自然酸化層の形成

等の精密な工程管理を必要としていたが、これらは素子が微細化していくに従って極めて困難になり、素子の特性のばらつきや歩留りの低下をもたらす。これに対して、本実施例の方法では、Ti層の形成によって逆T字型のゲート構造を極めて簡単にかつ精度良く形成することができるだけでなく、素子の微細化にもそれ程影響を受けることがなく、精密に逆T字型構造を構築することができる。

本実施例では、Ti層11を窒素雰囲気中で熱処理することによりシリサイド層20と窒化層21を形成しているが、他の不活性ガスを用いることも可能である。また、水素雰囲気で熱処理することも可能であり、この場合には、Ti層11は窒化されることなくそのまま金属層の状態に保たれることとなるが、ゲート電極4との導電接触はシリサイド層20によって確保されるので、上記と同様の効果を奏する。しかも、窒化されていないTi層11は窒化層21よりも低抵抗であり、導電性の点から見て却って都合が良い。

域5及びドレイン領域6を形成する。その後、第3図(e)に示すように、ソース電極9及びドレイン電極10をそのシリサイド層22a、22b上に形成することによって、これらのソース電極9及びドレイン電極10の接触抵抗の低減を図ることができる。

このように、本実施例では、逆T字型のゲート構造を形成するための高融点金属層の一部をソース電極5及びドレイン電極6のためのコンタクト部として利用することにより、シリサイド(Self-Aligned-Silicide)技術による電極接触抵抗の低減と逆T字型のゲート構造の形成とを同時並行して達成することができるので、工程数の削減を図ることができる。

〔発明の効果〕

以上説明したように、本発明は、ゲート電極の表面上及びその側面部の絶縁膜上に形成した高融点金属層により逆T字型のゲート構造を形成したことに特徴を有するので、以下の効果を奏する。

① ゲート電極と導電接觸したシリサイド層に

(第3実施例)

第3図には、本発明のMIS型半導体装置の製造方法の別の実施例を示す。ここに、第2実施例と同一構造の部分には同一符号を付し、その説明は省略する。この実施例では、第3図(a)に示すように、低濃度領域5a、6aを形成した後、ゲート酸化膜3にコンタクト用開口部3a、3bを形成し、この上にTi層11を被覆する(第3図(b))。次に、このTi層11に第2実施例と同様の熱処理を施すと、第3図(c)に示すように、コンタクト用開口部3a、3bの上に形成されたTi層11も、シリコン基板1の表面上からのシリコンの拡散によってシリサイド化し、シリサイド層22a、22bとなる。この後、酸化層12をドライエッティングにより除去しサイドウォール絶縁膜12aを形成するが、未反応のTi層11を選択的にエッティング除去するか、又はエッティングをストップすることによって、シリサイド層22a、22bを残し、第3図(d)に示すように、この状態でイオン注入を行ってソース領

域5及びドレイン領域6を形成する。その後、第3図(e)に示すように、ソース電極9及びドレイン電極10をそのシリサイド層22a、22b上に形成することによって、これらのソース電極9及びドレイン電極10の接触抵抗の低減を図ることができる。

② ゲート電極と高融点金属層との接觸面積が従来のポリサイド配線よりも大きいので、接觸抵抗を低減してゲート配線の低抵抗化を図ることができる。したがって、MIS型半導体装置の動作を従来よりも高速化することができる。

③ 制御性の良い高融点金属層の形成によって逆T字型のゲート構造を形成するので、ゲート電極を精度良くしかも微細に形成することが可能であり、しかも、低濃度領域は逆T字型の薄肉部分を介すことなく形成することができるので、MIS型半導体装置の動作特性の最適化が容易で、

特性の均一性を図ることができる。

④ 高融点金属のシリサイド層をソース及びドレイン電極のコンタクト部として用いることにより、同時並行して逆T字型のゲート構造の形成とシリサイド技術によるコンタクト部の形成を行うことができるので、何ら新たな工程を付加することなく、電極の低抵抗化を図ることができる。

4. 図面の簡単な説明

第1図は本発明によるMIS型半導体装置の実施例の構造を示す断面図である。

第2図は本発明によるMIS型半導体装置の製造方法の実施例を示す工程断面図である。

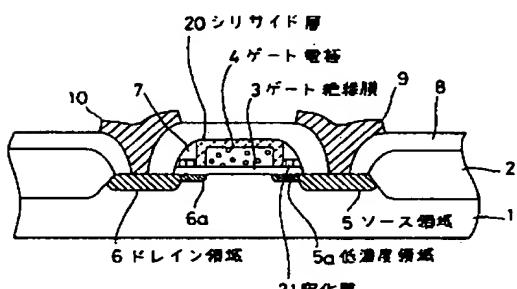
第3図は本発明によるMIS型半導体装置の製造方法の別の実施例を示す工程断面図である。

第4図は従来のLDD構造を備えたMOSFE Tの構造を示す断面図である。

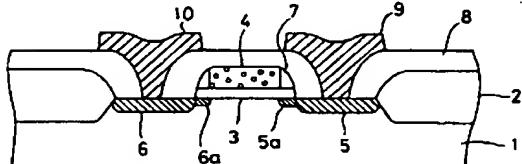
(符号の説明)

- 1 …シリコン基板
- 2 …LOCOS酸化膜
- 3 …ゲート絶縁膜

第1図



第4図



3a, 3b … コンタクト用開口部

4 … ゲート電極

5 … ソース領域

6 … ドレイン領域

5a, 6a … 低濃度領域

11 … Ti層

12a … シリサイドウォール絶縁膜

20, 22a, 22b … シリサイド層

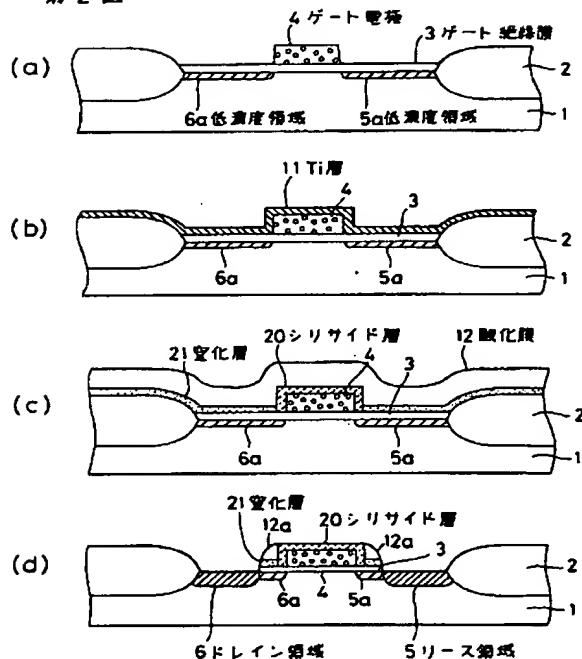
21 … 窒化層

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 山田 稔

第2図



第3図

